

УЧЕБНАЯ РАБОЧАЯ ПРОГРАММА по общему курсу "Архитектура вычислительных систем"

для студентов, обучающихся по программе подготовки
бакалавров физико-математических наук по направлению
"Прикладная математика и информатика"

Курс второй

Семестр четвертый

Лекционные, практические и лабораторные занятия 36 часов

Зачет 4 семестр

Программа разработана доцентом кафедры информатики и автоматизации научных исследований факультета вычислительной математики и кибернетики Нижегородского государственного университета кандидатом технических наук П.Д. Басалиным.

1. ЦЕЛИ И ЗАДАЧИ КУРСА

1. Цель преподавания курса

Развитие цифровой электронной аппаратуры как основы современной вычислительной техники, применяемой практически во всех отраслях промышленного производства, социально-экономической деятельности, образования, науки, культуры, сопровождается постоянным совершенствованием архитектуры, конструктивной и технологической базы создаваемых новых устройств, приборов и машин, используемых в качестве технического обеспечения информационных систем различного назначения (САПР, АСУ, АСНИ, АОС и т.д.). Это обуславливает необходимость ознакомления студентов, обучающихся специальности «Прикладная математика и информатика», с основами и тенденциями развития теории и практики реализации элементной базы цифровой аппаратуры, современной организацией вычислительных машин и систем.

Цель курса «Архитектура вычислительных систем» состоит в изучении теоретических принципов, конструктивных и технологических основ создания цифровой электронной аппаратуры с обращением основного внимания на архитектуру, функциональные узлы и элементную базу современных ЭВМ и вычислительных систем.

2. Задачи курса

Использование многопроцессорных вычислительных систем предполагает практическое освоение следующих разделов учебного курса:

- **БАЗОВЫЕ ПРИНЦИПЫ ОРГАНИЗАЦИИ И ЭЛЕМЕНТНАЯ БАЗА СОВРЕМЕННЫХ ЦИФРОВЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**
- **ИЕРАРХИЯ ЦИФРОВОЙ АППАРАТУРЫ**
- **АРХИТЕКТУРА ПАМЯТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**
- **АРХИТЕКТУРА СОВРЕМЕННЫХ МИКРОПРОЦЕССОРОВ**
- **ШИНЫ**
- **АРХИТЕКТУРЫ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ**

- НЕЙРОСЕТЕВЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ

Выполнение практических заданий по разработке параллельных алгоритмов и программ осуществляется компьютерных классах Нижегородского университета.

3. Дисциплины, изучение которых необходимо при освоении данного курса

Изложение курса опирается на основные курсы "ЭВМ и программирование". Предполагается наличие у обучаемых общих сведений по курсу "Дискретная математика".

2. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

1. БАЗОВЫЕ ПРИНЦИПЫ ОРГАНИЗАЦИИ И ЭЛЕМЕНТНАЯ БАЗА СОВРЕМЕННЫХ ЦИФРОВЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

1.1. АРХИТЕКТУРА ФОН НЕЙМАНА – ОСНОВА ЦИФРОВЫХ ВЫЧИСЛИТЕЛЬНЫХ МАШИН

Понятие алгоритма и его влияние на организацию ЭВМ. Базовые принципы архитектуры фон Неймана: принцип программного управления, концепция хранимой в памяти программы. Основные функциональные устройства ЭВМ архитектуры фон Неймана: арифметико-логическое устройство, запоминающее устройство, входное устройство, выходное устройство, устройство управления. Магистрально-модульный принцип организации архитектуры ЭВМ.

1.2. МНОГОУРОВНЕВАЯ ОРГАНИЗАЦИЯ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ

Физический уровень. Уровень аналоговой схемотехники. Уровень цифровой схемотехники. Уровень системотехники. Микроархитектурный уровень. Уровень машинных команд. Уровень операционной системы. Уровень языка ассемблера. Языки высокого уровня.

1.3. СОСТОЯНИЕ И ПЕРСПЕКТИВЫ РАЗВИТИЯ ЭЛЕМЕНТНОЙ БАЗЫ СОВРЕМЕННЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Понятия микроэлектронного устройства, интегральной схемы (ИС). Особенности микроэлектронной технологии, ее преимущества. Основные характеристики и способы классификации ИС. Заказные БИС/СБИС. БИС/СБИС ПЛ (CPLD, FPGA, FLEX, SOC).

2. ИЕРАРХИЯ ЦИФРОВОЙ АППАРАТУРЫ

2.1. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Классификация логических элементов по способу кодирования двоичных переменных. Базовая схема как схемотехническая основа логического элемента. Базовые схемы простейших логических элементов. Выходы цифровых элементов: логический, с открытым коллектором, с открытым эмиттером, с третьим состоянием.

2.2. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Типовые комбинационные узлы: двоичные дешифраторы, приоритетные и двоичные шифраторы, мультиплексоры и демультиплексоры, компараторы, схемы сдвига, сумматоры, арифметико-логические устройства, матричные умножители.

2.3. ВВЕДЕНИЕ В ПРОБЛЕМАТИКУ СИНТЕЗА ЛОГИЧЕСКИХ СХЕМ ПРОИЗВОЛЬНОЙ КОМБИНАЦИОННОЙ ЛОГИКИ

Логические блоки табличного типа, программируемые логические матрицы и программируемая матричная логика, универсальные логические блоки на основе мультиплексоров, логические блоки на основе элементов определенного логического базиса.

2.4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

Понятие последовательностного узла как автомата с памятью (АП). Асинхронные и синхронные АП. Автоматы Мили. Автоматы Мура. Автономные автоматы. Запоминающие элементы как простейшие (элементарные) АП: конденсатор с ключевым транзистором, асинхронная RS-защелка, синхронная RS-защелка, синхронная D-защелка, RS-триггер, D-триггер. Типовые последовательностные узлы: регистры, регистровые файлы, счетчики.

2.5. ВВЕДЕНИЕ В ПРОЕКТИРОВАНИЕ ПРОИЗВОЛЬНЫХ УСТРОЙСТВ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

Каноническое представление устройства последовательностного типа как автомата с памятью (АП). Основные этапы проектирования АП, характер возникающих задач и подходы к их решению. Пример проектирования конкретного АП.

3. АРХИТЕКТУРА ПАМЯТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

3.1. НАЗНАЧЕНИЕ, ОСНОВНЫЕ ПАРАМЕТРЫ И ОБЩЕЕ ПРЕДСТАВЛЕНИЕ ИЕРАРХИИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Назначение и основные параметры запоминающих устройств. Многоступенчатая иерархическая структура памяти: регистровая память, кэш-память, основная (оперативная) память, энергонезависимая (постоянная, полупостоянная) память, специализированная память, внешняя память. Классификация памяти по способу доступа к данным: адресная, последовательная, ассоциативная.

3.2. АДРЕСНАЯ ПАМЯТЬ.

Базовые принципы организации адресной памяти. Архитектуры 2D, 3D, 2DM. Память с произвольным доступом (RAM). Понятия микросхемы памяти, банка памяти, модуля памяти. Механизм чередования банков. Факторы, определяющие производительность памяти.

Микросхемы динамической памяти (DRAM): стандартная архитектура, архитектуры FPM DRAM, EDO DRAM, BEDO DRAM, MDRAM, SDRAM, RDRAM, DRDRAM, CDRAM. Модули динамической памяти: SIMM, SIPP, DIMM, SO DIMM, DRAM cards-88pin.

Микросхемы статической памяти (SRAM). Асинхронная статическая память Async SRAM. Синхронная статическая память SB SRAM. Синхронная статическая память с усовершенствованным конвейером PB SRAM.

Энергонезависимая память. Постоянная память (ROM). Программируемая однократно постоянная память (PROM). Стираемая и программируемая многократно память (EPROM): UV EPROM, EEPROM, FLASH-память. Полупостоянная память (CMOS Memory).

3.3. ПОСЛЕДОВАТЕЛЬНАЯ ПАМЯТЬ

Буферы памяти FIFO, LIFO. Стековые, файловые, циклические запоминающие устройства.

3.4. АССОЦИАТИВНАЯ ПАМЯТЬ

Полностью ассоциативные запоминающие устройства. Ассоциативная память с прямым размещением. Наборно-ассоциативная память.

4. АРХИТЕКТУРА СОВРЕМЕННЫХ МИКРОПРОЦЕССОРОВ

4.1. БАЗОВЫЕ ПРИНЦИПЫ ОРГАНИЗАЦИИ МИКРОПРОЦЕССОРА

Каноническая схема микропроцессора. Операционный автомат. Управляющий автомат. Понятия микрооперации, микрокоманды, микропрограммы. Схема взаимодействия управляющего и операционного автоматов. Микропроцессоры с жесткой (схемной) логикой. Микропроцессоры на основе программируемой логики.

Универсальные микропроцессоры. Системы, типы и форматы команд универсальных микропроцессоров. CISC- и RISC-архитектуры. Выборка, дешифрация и выполнение команд. Представление работы вычислительного тракта процессора на микроархитектурном уровне.

Режимы адресации памяти и устройств ввода-вывода. Система прерываний. Механизмы обращения к подпрограммам.

Сигнальные и медийные микропроцессоры.

4.2. НАПРАВЛЕНИЯ РАЗВИТИЯ АРХИТЕКТУРЫ СОВРЕМЕННЫХ УНИВЕРСАЛЬНЫХ МИКРОПРОЦЕССОРОВ

Конвейеризация выполнения команд. Суперскалярная архитектура. Конвейеры процессоров Pentium, Pentium Pro, Pentium II, Pentium IV.

Технология переименования регистров. Технология продвижения данных.

Трехуровневая кэш-память команд и кэш-память данных. Динамическое предсказание ветвлений.

Расширение и конвейеризация циклов шины данных. Средства обеспечения надежности данных. Поддержка мультипроцессорности.

Мониторинг производительности и другие особенности.

5. ШИНЫ

5.1. ОБЩАЯ (СИСТЕМНАЯ) ШИНА РАСШИРЕНИЯ

Назначение шины. Синхронизация и арбитраж шины. Шины расширения ISA/EISA.

5.2. ЛОКАЛЬНЫЕ ШИНЫ

Шина памяти. Шина PCI. Система SCSI. Шина USB. Магистральный интерфейс AGP.

5.3. ОБЩАЯ СХЕМА ВЗАИМОДЕЙСТВИЯ ШИН СОВРЕМЕННЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ (на примере вычислительной системы на базе Pentium II).

6. АРХИТЕКТУРЫ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ

6.1. ИНФОРМАЦИОННЫЕ МОДЕЛИ МУЛЬТИПРОЦЕССОРОВ И МУЛЬТИКОМПЬЮТЕРОВ

Мультипроцессоры как системы с совместно используемой памятью. Мультикомпьютеры как системы с распределенной памятью. Гибридные архитектуры с распределенной совместно используемой памятью.

6.2. ОРГАНИЗАЦИЯ МЕЖСОЕДИНЕНИЙ В ПАРАЛЛЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ СТРУКТУРАХ

Топология сети межсоединений, ее основные характеристики, примеры конкретных топологий. Стратегии коммутации в сети межсоединений: коммутация

каналов, коммутация с промежуточным хранением, гибридные стратегии. Маршрутизация сообщений: маршрутизация от источника, распределенная маршрутизация, пространственная маршрутизация в прямоугольных решетках.

6.3. ХАРАКТЕРИСТИКИ ПРОИЗВОДИТЕЛЬНОСТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ

Характеристики производительности на уровне аппаратного обеспечения. Оценка производительности на уровне программного обеспечения. Закон Амдала. Пути повышения производительности параллельных вычислительных систем.

6.4. ОСНОВНЫЕ ВИДЫ АРХИТЕКТУР ПАРАЛЛЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Архитектуры SIMD: массивно-параллельные процессоры, векторные процессоры. Пример архитектуры SIMD. Архитектуры MIMD. Симметричные мультипроцессоры, модели совместного использования памяти: строгая согласованность, согласованность по последовательности, процессорная согласованность, слабая согласованность, свободная согласованность. Мультипроцессоры UMA с шинной организацией, с координатным коммутатором, с многоступенчатыми сетями. Мультипроцессоры NUMA: NC-NUMA, CC-NUMA. Мультипроцессоры COMA. Мультикомпьютеры: архитектуры MPP, COW.

7. НЕЙРОСЕТЕВЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ

7.1. КОНЦЕПЦИЯ ИСКУССТВЕННОЙ НЕЙРОННОЙ СЕТИ

Искусственный нейрон. Активационная функция нейрона. Виды активационных функций. Межнейронные связи. Синаптические веса связей. Обучение нейронных сетей.

7.2. КОНКРЕТНЫЕ АРХИТЕКТУРЫ ИНС

Многослойный персептрон. Обучение многослойного персептрона с помощью алгоритма обратного распространения ошибки. Применение методов поисковой оптимизации для обучения персептрона.

RBF-сеть: структура RBF-сети, синтез и обучение RBF-сети.

Сеть Хопфилда. Обучение сети Хопфилда (матрица Хебба). Динамика функционирования сети Хопфилда.

Сеть Хемминга. Правила определения весов связей. Динамика функционирования сети Хемминга.

7.3. НЕЙРОКОМПЬЮТЕРЫ

Возможные архитектуры нейрокомпьютеров. Конструктивно-технологическая база нейрокомпьютеров.

УЧЕБНО-МЕТОДИЧЕСКИЕ МАТЕРИАЛЫ ПО ДИСЦИПЛИНЕ

1. Таненбаум Э. Архитектура компьютера.- СПб.: Питер, 2002.- 704 с.
2. Угрюмов Е.П. Цифровая схемотехника.- СПб.: БХВ-Петербург, 2001.-528 с.
3. Гук М. Аппаратные средства IBM PC. Энциклопедия, 2-е изд.- СПб.: Питер, 2003.- 928 с.
4. Нортон П., Сандлер К., Баджет Т. Персональный компьютер изнутри: Пер. с англ.- М.: БИНОМ.- 448с.
5. Айден К., Фибельман Х., Крамер М. Аппаратные средства PC: Пер. с нем.- СПб.: BHV-Санкт-Петербург, 1996.- 544с.

6. Корнеев В.В., Киселев А.В. Современные микропроцессоры.- М.: НОЛИДЖ, 1998.- 240с.
7. Гук М. Процессоры Intel: от 8086 до Pentium П.- СПб. Питер, 1997.- 224с.
8. Домрачев В.Г., Ретинская И.В., Скуратов А.К. Стратегия и практические пути подготовки специалистов по высокопроизводительным вычислениям / Ж-л «Информационные технологии», №7.- Изд.: Машиностроение, 2001.- с. 28-35.
9. Бибило П.Н. Синтез логических схем с использованием языка VHDL.- М.: СОЛОН-Р, 2002.-384 с.
10. Галушкин А.И. Сфера применения нейрокомпьютеров расширяется / Приложение к ж-лу «Информационные технологии», №10.- Изд.: Машиностроение, 2001.
11. Круглов В.В., Борисов В.В. Искусственные нейронные сети. Теория и практика.- М.: Горячая линия – Телеком, 2001.- 382 с.
12. IEEE Standard VHDL Language Reference Manual, IEEE Std 1076 – 1993.
13. <http://www.model.com/products/msvhdl.html>
14. <http://www.synopsys.com/>
15. Антонов А.П. Язык описания цифровых устройств Altera HDL. Практический курс.- М.: ИП РадиоСофт, 2001.-224 с.
16. Черемисинова Л.Д. Реализация параллельных алгоритмов логического управления. - Минск: Ин-т техн.кибернетики НАН Беларуси, 2002. – 246 с.
17. Ефимов И.Е., Козырь И.Я., Горбунов Ю.И. Микроэлектроника: Проектирование, виды микросхем, функциональная микроэлектроника: Учеб. пособие для приборостроит. спец. вузов.- 2-е изд., перераб. и доп.- М.: Высшая школа, 1987.- 416 с.
18. Лебедев О.Н., Мирошниченко А.И., Телец В.А. Изделия электронной техники. Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП и АЦП.: Справочник / Под ред. А.И.Ладика и А.И.Сташкевича.- М.: Радио и связь, 1994.- 248 с.
19. Закревский А.Д. Логический синтез каскадных схем.- М.: Наука, 1981.- 416 с.
20. Бибило П.Н., Енин С.В. Синтез комбинационных схем методами функциональной декомпозиции.- Минск: Наука и техника, 1987.- 189 с.
21. F. Mailhot, G. De Micheli Algorithms for technology mapping based on binary decision diagrams and on Boolean operations // IEEE Trans. On Computer – Aided Design of Integrated Circuits and Systems.- 1993.- Vol. 12, № 5.- P. 599-620.
22. Потемкин И.С. Функциональные узлы цифровой автоматики.- М.: Энергоатомиздат, 1988.- 320 с.